



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000232104 A**(43) Date of publication of application: **22.08.00**

(51) Int. Cl.

H01L 21/3205
H01L 21/301

(21) Application number: **11031389**(22) Date of filing: **09.02.99**(71) Applicant: **SANYO ELECTRIC CO LTD**

(72) Inventor:
SHINOKI HIROYUKI
TAKAI NOBUYUKI
TOKUSHIGE TOSHIMICHI
KITAGAWA KATSUHIKO

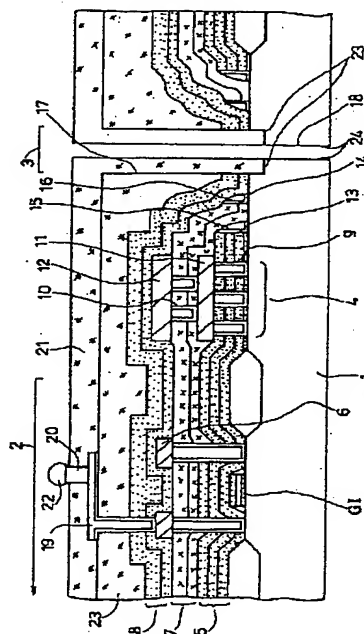
(54) **CHIP SIZE PACKAGE**

(57) Abstract:

PROBLEM TO BE SOLVED: To improve humidity resistance of a chip size package.

SOLUTION: A seal ring 4 is constituted of a tungsten plug metal and metal electrodes 11, 12. Spacers are formed on a first side wall 13 and/or a second side wall 14. The spacer can be formed on all the interlayer insulating film stretched in a dicing line part 3, so that a multi-folded seal ring can be realized. The seal ring is arranged around an IC circuit forming part, and the plug constituting the sealing ring cuts the interface of the interlayer insulating film, so that a path of moisture is cut off and deterioration of a chip size package can be prevented.

COPYRIGHT: (C)2000,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-232104

(P2000-232104A)

(43) 公開日 平成12年8月22日 (2000. 8. 22)

(51) Int. Cl.

識別記号

F I

テーマコード(参考)

H 0 1 L 21/3205
21/301

H 0 1 L 21/88
21/78

S 5 F 0 3 3
L

審査請求 未請求 請求項の数 4 O L (全 7 頁)

(21) 出願番号 特願平11-31389

(22) 出願日 平成11年2月9日 (1999. 2. 9)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 篠木 裕之

大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

(72) 発明者 高井 信行

大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

(74) 代理人 100111383

弁理士 芝野 正雅

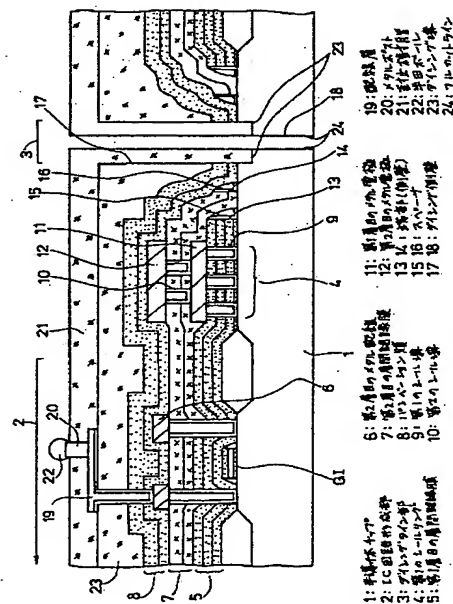
最終頁に続く

(54) 【発明の名称】 チップサイズパッケージ

(57) 【要約】

【課題】 チップサイズパッケージの耐湿性を向上する。

【解決手段】 シールリング4は、タングステンプラグとメタル電極11、12で構成し、第1の側壁13および/または第2の側壁14にスペーサを形成する。このスペーサは、ダイシングライン部3に延在される層間絶縁膜に全て形成可能であり、これにより何重ものシールリングが実現できる。



【特許請求の範囲】

【請求項1】 半導体チップの一表面のサイズと実質等しいサイズを有し、前記半導体チップの一表面が樹脂により被覆されたチップサイズパッケージに於いて、半導体チップの主面に形成されたIC回路形成部と前記IC回路形成部を囲んで形成されたダイシングライン部との間に、前記IC回路形成部を囲むシールリングが設けられることを特徴としたチップサイズパッケージ。

【請求項2】 前記ダイシングライン部は、前記半導体チップの上側壁を前記樹脂で覆われている第1のダイシング側壁と、前記半導体チップの下側壁が露出された第2のダイシング側壁とを有する請求項1に記載のチップサイズパッケージ。

【請求項3】 半導体チップの一表面のサイズと実質等しいサイズを有し、前記半導体チップの一表面が樹脂により被覆されたチップサイズパッケージに於いて、半導体チップの主面に形成されたIC回路形成部と前記IC回路形成部を囲んで形成されたダイシングライン部との間に、前記IC回路形成部を囲む第1のシールリングが設けられ、

前記第1のシールリングを囲み且つ前記ダイシングライン部に位置する層間絶縁膜の端部にはスペーサを被覆することを特徴としたチップサイズパッケージ。

【請求項4】 前記ダイシングライン部は、前記半導体チップの上側壁を覆う第1のダイシング側壁と、前記半導体チップの下側壁が露出された第2のダイシング側壁とを有する請求項3に記載のチップサイズパッケージ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、チップサイズパッケージに関し、特に耐湿性が向上されるチップサイズパッケージに関するものである。

【0002】

【従来の技術】半導体装置は、周知事項ではあるが、ウェハの状態で作られ、素子が作り込まれ、所定の機能を有したIC回路が形成される。平面的には、このIC回路が形成されたIC回路形成部がマトリクス状に配置され、このIC回路形成部を囲み格子状にダイシングライン部が設けられ、このダイシングライン部に沿ってダイシングされ、個々の半導体装置（半導体チップ）に分離形成される。

【0003】例えば、特開平9-64049号公報が詳しい。図2は、チップサイズパッケージ50の概略を説明するものであり、ウェハ51で作られ、パッシベーション膜52まで被覆されたウェハ51を用意し、最上層のメタル電極53（例えばボンディングパッド）を露出する開口部を形成し、この開口部を介して再配線層54をCuメッキで形成する。

【0004】この再配線層54には、メタルポスト55が形成されると共に、全域には封止樹脂56が全面に被

覆され、この封止樹脂56から露出したメタルポスト55には、半田バンプや半田ボール57が形成される。

【0005】この状態でダイシングライン部58に沿ってダイシングされ、個々に分離されて半導体チップ50が完成する。

【0006】

【発明が解決しようとする課題】しかしこのダイシングラインの側壁は、前記半導体装置に積層された数々の層間絶縁膜の界面が露出されている。この界面は、湿気の浸入路となり、前記IC回路の誤動作、更には破壊を引き起こす問題があった。

【0007】特にメタル配線の階層数により第1の層間絶縁膜、第2の層間絶縁膜、第3の層間絶縁膜…と何層にも層間絶縁膜が設けられ、しかもこの層間絶縁膜自身は、歪みやフラット性が考慮されて複数層の膜、例えばTEOS膜、SOG膜が何回も繰り返して積層されて構成されている。そしてダイシング部に形成される側壁には、これらの膜の界面が露出され耐湿劣化を発生させていた。

【0008】

【課題を解決するための手段】本発明は前述の課題に鑑みてなされ、先ず第1に、半導体チップの主面に形成されたIC回路形成部と前記IC回路形成部を囲んで形成されたダイシングライン部との間に、前記IC回路形成部を囲むシールリングを設けることで解決するものである。

【0009】シールリングは、層間絶縁膜の界面をカットするプラグが設けられているので、湿気の通路を遮断する。

【0010】第1の手段に於いて、ダイシングライン部は、前記半導体チップの上側壁を樹脂で覆われている第1のダイシング側壁と、前記半導体チップの下側壁が露出された第2のダイシング側壁とを有することで解決するものである。

【0011】上側側壁が半導体基板まで到達されていれば、半導体基板から上の層間絶縁膜の界面は樹脂で覆われるため、二重のシールが可能となる。

【0012】第2に、半導体チップの主面に形成されたIC回路形成部と前記IC回路形成部を囲んで形成されたダイシングライン部との間に、前記IC回路形成部を囲む第1のシールリングを設け、前記第1のシールリングを囲み、ダイシングライン部に位置する層間絶縁膜の端部をスペーサで被覆することで解決するものである。

【0013】第1のシールの他に、層間絶縁膜の側壁、つまり界面を覆うスペーサが設けられるため、二重、三重…のシールが可能となる。

【0014】第2の手段に於いて、ダイシングライン部は、前記半導体チップの上側壁を樹脂で覆われている第1のダイシング側壁と、前記半導体チップの下側壁が露出された第2のダイシング側壁とを有することで解決す

るものである。

【0015】第1のシールリング、第2のシールリングおよび樹脂でダイシングライン部およびその近傍の湿気の通路を遮断できる。

【0016】

【発明の実施の形態】以下、本発明の一実施の形態について説明する。本実施例は、以下MOS型で説明するが、BIP型、Bi-CMOS型でも実現可能である。半導体チップ1は、IC回路形成部2とダイシングライン部3との間には第1のシールリング4が構成される。ここで半導体チップ1のIC回路形成部2自身が2層メタルで構成されるため、2階建て構造のシールリング4と成っている。従って、メタルの階層数により複数階構造のシールリングが可能である。例えば三層メタルの場合、一階～三階までの構造が可能である。

【0017】では、シールリング4の具体的構造を説明する。例えばIC回路形成部2は、通常のプロセスにより、拡散領域が形成され、TR、ダイオード、拡散抵抗等が作り込まれ、表面には絶縁膜が形成されている。

【0018】MOS型では、ゲートが必用なことからゲート絶縁膜5が必用となるが、一般的には第1層目のメタル配線の下には、第1層目の層間絶縁膜5が形成されている。図では第1層目のメタル配線は省略した。また第2層目のメタル配線6の下層と第1層目のメタル配線との間には第2層目の層間絶縁膜7が形成されている。図では、第2層目のメタル配線6が半導体基板1にダイレクトにコンタクトしているが、一般には第1層目のメタル配線とコンタクトホールを介してコンタクトしている。

【0019】更に、図では二層メタルで示してあるが、第2層目のメタル配線6の上にはパッシベーション膜8が被覆されている。但し、三層以上のメタル階層では、最上層のメタル配線の上にパッシベーション膜が形成され、その下のメタル配線間には層間絶縁膜が形成されることになる。

【0020】この各層間絶縁膜5、7、8は、ダイシングライン部3またはその近傍まで延在されている。そしてダイシングライン部3とIC回路形成部2との間には、ダイシングライン部3を囲む第1のシールリング4が設けられている。

【0021】このシールリング4の形成領域には、第1層目の層間絶縁膜が取り除かれた第1のシール溝9がIC回路形成部2を囲んで複数本（図では三本）設けられている。また第2層目の層間絶縁膜にも第2のシール溝10が複数本（図では二本）設けられている。そしてシール溝は、コンタクトを介して配線が設けられるように、第1のメタル電極11と第2のメタル電極12が形成される。

【0022】つまりシール溝も含めて同一材料でメタル電極を構成しても良い。しかしここでは、IC回路形成

部にタングステンプラグを使って相互接続がされてるので、シール溝9、10には、Wが埋め込まれ、メタル電極11、12は、Alを主材料としたもので成っている。

【0023】詳しくは、このシール溝も含めて全面にバリアメタルとなる金属がTi、TiNの順で積層されている。Tiが約300～500Å、TiNが約1000～2000Åで被覆され、更に全面にWが約5000～8000Åで被覆されている。そしてこのWがエッチバックされてタングステンプラグが形成される。またメタル電極は、下からTiNが500～1000Å、Tiが100～200Å、AlCuが約3000～5000Å程度が積層されて形成され、図のようなパターンにエッチングされて形成される。

【0024】またダイシングライン部3の近傍には、第1層目の層間絶縁膜5がIC回路形成部2から延在され、その端部（側壁）13が設けられる。また第2の層間絶縁膜7もIC回路形成部2から延在され、その端部（側壁）14が設けられている。

【0025】この第1層目の層間絶縁膜5は、図では三層に成っているが、具体的には、表面にゲート絶縁膜が形成された上に積層され、BPSG膜4が約2000～4000Å、その上にTEOS膜5が約8000～10000Å程度で積層されている。ただしこの層間絶縁膜7は、一層の絶縁膜でも良いし、3層以上に積層されても良い。また第2層目の層間絶縁膜7は2層で図示されているが、具体的には下から約2000ÅのプラズマTEOS膜、約2000ÅのSOG膜、約500～1000ÅのプラズマTEOS膜、約2000ÅのSOG膜および約2000～3000ÅのプラズマTEOS膜が積層されている。

【0026】本発明の特徴は、まずチップサイズパッケージにシールリング4を設け、耐湿性を向上させた点にある。各層間絶縁膜5、7は、前述したように複数の絶縁膜が積層され、その界面が前記端部から延在されているので、ダイシング側壁から湿気が浸入しても、ここで止めることができる。

【0027】また第2のポイントとしては、第1の側壁13または／および第2の側壁14にスペーサ15、16を設けたことである。

【0028】このスペーサ15、16は、一般にはその膜を全面に被覆した後、エッチバックして形成される。従ってここでは、シリコン酸化膜、Si₃N₄膜、TEOS膜等の絶縁膜、Alを主材料とする材料、非晶質、単結晶、多結晶のシリコン膜、W等が考えられる。これらは、全てエッチバックが可能な材料である。

【0029】前述した第1のシールリング4と同様に、層間絶縁膜の界面をシールしており、ここでは端面がカバーされている。つまり一番最初の進入経路がシールさ

れている点にポイントがある。

【0030】またこのスペーサは、両端面に形成されているが、どちらか一方でもその効果はある。もちろん階層が増えれば、この端面も増加するので、スペーサの配置領域は増加する。これも少なくとも1つシールされていけばよい。

【0031】図面では、第1のシールリング4、第1のスペーサ15および第3のスペーサ16で三重になっている。また後述するが更にダイシング側壁を樹脂でカバーしても良い。

【0032】このパッシベーション膜8までは、通常のICと同一であり、ICでは、パッシベーション膜8から露出した金属パッドに金属細線が接続され、他端は搭載されるリードフレームのリードに接続される。

【0033】しかし本発明は、チップサイズパッケージであるので更にその上に配線層19、メタルポスト20が形成され、封止樹脂21から露出したメタルポスト20に半田バンパや半田ボール22が形成される。

【0034】配線層19は、例えばCuメッキやスパッタにより形成される。符号23は、表面が実質全域に渡りフラットに実現できる材料である。つまりこの配線層19のフラット性が考慮され、流動性の樹脂が塗布され、放置によりその表面がフラットになった後で硬化される。例えばスピンドンやディスペンサで塗布すれば容易に実現可能である。またSOGでも可能である。

【0035】この配線層19の端部には、メタルポスト20が形成される。このメタルポスト20は、例えばプリント基板に実装された時に発生する熱膨張係数の差から発生する応力を緩和するものである。つまり実装基板の方が伸び率が多ければ、メタルポストは、その伸びの方向へ引っ張られる。しかし高さが高ければ、竹がしなうようにその応力を吸収させることができる。

【0036】一方、ダイシングライン部3には、一回または二回のダイシングが施される。一回の場合は第1のダイシング側壁17に沿ってフルカットされる。これはチップサイズパッケージでは、通常の方法である。

【0037】二回のダイシングカットは、まず半導体基板1に到達するハーフカットのダイシングが行われる。これで現れるのが側壁17である。そしてこのハーフカットで形成されるダイシング溝に前記封止樹脂21を埋め込み、埋め込まれた封止樹脂21も含め、この第1のダイシング溝23よりも幅狭でフルカットする。

【0038】これは前述したように、一番外側のシールを示すものである。つまりパッシベーション膜8の界面が、フルカットライン24の近傍で封止樹脂でシールされている。つまり一回のフルカットでは、ダイシング側壁17にパッシベーション膜8の界面が露出されるが、二回にダイシングを分けることでこの界面もシールすることができる。

【0039】またスペーサ15、16は、シール溝9、

10の形成と同時に、前記端部13、14を一側壁とする開口部を形成し、溝と、前記開口部にWを埋め込み、同時にエッチバックすれば、プラグとスペーサが同時に形成でき、プロセスは増加しない。もちろんこの工程はIC回路形成部2に形成されるコンタクト、W埋め込みと同時に形成されても良い。

【0040】最近では、CSP（チップサイズパッケージ）が開発され、市場にも出始めている。これらは、樹脂量が極端に少なく、耐湿性の向上が非常に重要なテーマとなる。

【0041】特にウェハ型CSPは、ウェハ状態でICが作り込まれパッシベーション膜が被覆された後、全面に封止樹脂を載せ、その後、ダイシングして個々のチップに分離するため、チップの側壁には、前述した層間絶縁膜の界面が露出される。従ってシールリングは、非常に重要な位置づけになる。本発明の構成を採用すれば、何重ものシールが可能となり、チップの耐湿劣化を防止できるメリットを有する。

【0042】では具体的にその製造方法を説明する。

【0043】半導体ウェハ1にはマトリックス状にIC回路形成部2が形成され、このIC回路形成部を囲むようにダイシングライン部3が形成される。そしてIC回路形成部2とダイシングライン部3との間には、後の工程でIC回路形成部2を囲むようにシールリング4が設けられる。

【0044】符号4は、第1層目のメタル電極（IC回路形成部では第1のメタル配線となる。）11の下層に形成される第1の層間絶縁膜である。この第1の層間絶縁膜4は、表面にゲート絶縁膜G1が形成された上に積層され、BPSG膜4が約3000Å、その上にTEOS膜5が約8000～10000Å程度で積層されている。

【0045】続いてこの第1の層間絶縁膜4には、半導体基板1が露出する複数のシール溝9、10が形成され、ここにはタングステンが埋め込まれる。このシール溝は、リング状に3本（特に本数は限定されない）で形成され、同時に第1の側壁13を構成要素とする開口部が開口される。この開口部は、第1のシール溝9と同時に形成されるため、半導体基板1を露出しているが、別工程で開口しても良い。更には第1のシール溝9の深さは、図のものよりも浅くて良い。ただし少なくとも最上の界面をスペーサでカバーできる深さでなくてはならない。またチップサイズが考慮され、スペーサ16のみが形成されるなら開口をしなくても良い。

【0046】続いて第1のシール溝9にタングステンプラグを、そして第1の開口部にスペーサを形成し、更には前記タングステンプラグを全て覆う第1層目のメタル電極11を形成する工程がある。

【0047】詳しくは、このシール溝9も含めて全面にバリアメタルとなる金属がTi、TiNの順で積層され

ている。Tiが約300~500Å、TiNが約1000~2000Åで被覆され、更に全面にWが約8000Å被覆されている。そしてこのWがエッチバックされてタングステンプラグが形成されると共に、第1の開口部の側壁13には、Wより成るスペーサが形成される。そして第1のメタル電極11領域およびスペーサ領域以外の余分な前記バリアメタルが取り除かれる。

【0048】また第1のメタル電極11は、下からTiNが500~1000Å、Tiが100~300Å、AlCuが約3000~5000Å程度が積層されて形成され、図のようなパターンにエッチングされて形成される。第1層目のタングステンプラグは、IC回路形成部2を囲むリングとして3本形成され、これを全て覆う一本の幅広のリングとして第1のメタル電極11が形成されている。

【0049】ここで第1のタングステンプラグは、同一の構成で、IC回路形成部2にも形成され前記トランジスタのソース領域やドレイン領域とコンタクトし、また第1のメタル電極もIC回路形成部に配線として同時に形成され、IC回路形成部に形成されたタングステンプラグと電氣的にコンタクトしている。

【0050】ここで前述したように第1のシール溝9を形成しない場合は、当然スペーサも形成されない。

【0051】続いて、IC回路形成部2からダイシングライン部3に渡り、第2層目の層間絶縁膜7が被覆される。ここではウェハ全面に被覆されている。

【0052】ここで第2層目の層間絶縁膜7は2層で図示されているが、具体的には下から約2000ÅのプラズマTEOS膜、約2000ÅのSOG膜、約500~1000ÅのプラズマTEOS膜、約2000ÅのSOG膜および約2000~3000ÅのプラズマTEOS膜が積層されている。

【0053】またダイシングライン部3では、この第2層目の層間絶縁膜6が第1の層間絶縁膜5の側壁をシールするスペーサ15を被覆している。

【0054】更に、第1層目のメタル電極11を露出する第2のシール溝10が形成されると同時に側壁14を一構成とする第2の開口部が形成される。

【0055】ここでは、第2の開口部の形成と同時に第2のシール溝10も形成しているが、別工程でエッチングしても良い。また深さは、第2の層間絶縁膜7の途中でも良いし、第1の層間絶縁膜5が途中まで取り除かれる深さでも良い。これは前述同様に、少なくとも最上層の界面をシールできる深さであれば、シールの機能を果たすことができる。

【0056】続いて、第2のシール溝10に、タングステンが埋め込まれると同時に第2の開口部にWのスペーサ16が形成される。

【0057】ここでは、まず第2のシール溝10も含め全面に、下から約300~500ÅのTi、約1000

~2000ÅのTiNから成るバリアメタルがスパッタリングで形成され、この上に約5000~8000ÅのWが例えばCVD法により被覆される。

【0058】続いて、前記Wをエッチバックして、タングステンプラグを形成すると共に、第2の側壁にタングステンから成るスペーサ16を形成する。

【0059】この被覆部であるスペーサ16は、第2の側壁14に露出する界面をカバーし、湿気の浸入を防止するシールリングとなる。

【0060】つまりIC回路形成部2を先ずタングステンプラグから構成されるシールリング4でシールし、その外側をWから成るスペーサ15、16でシールし、三重のシール構造が実現できる。

【0061】そしてタングステンプラグを被覆し、やはりリング状となる第2層目のメタル電極12が形成される。このメタル電極12は、下層に約200~300ÅのTiNが上層に約6000~8000ÅのAlCuが積層され、リング状にエッチングされる。

【0062】続いて、IC回路形成部2からダイシングライン部3に渡り第3の層間絶縁膜8が形成される。また表面をフラットにする樹脂23が塗布されている。

【0063】この層間絶縁膜8と樹脂23には、IC回路形成部2に形成される最上層のメタル電極が露出され、この開口部も含めCuの再配線層19が形成される。またこのCuの再配線層19の端部にはメッキでメタルポスト20が形成され、全面に樹脂21が封止される。そして樹脂21から露出したメタルポストに半田ボール22が形成される。

【0064】この樹脂21が封止される際、ダイシング溝23が形成され、ここにも樹脂21が埋め込まれる。

【0065】そして最後に、フルカットライン24に沿ってダイシングされ、個々に分離される。

【0066】

【発明の効果】以上の説明から明らかなように、先ず第1に、IC回路形成部の周囲にシールリングを設け、このシールリングを構成するプラグが層間絶縁膜の界面をカットするので、湿気の通路を遮断し、チップサイズパッケージの劣化を防止することができる。

【0067】また第1に於いて、ダイシングライン部は、前記半導体チップの上側壁を樹脂で覆われている第1のダイシング側壁と、前記半導体チップの下側壁が露出された第2のダイシング側壁とを有することで、半導体基板から上の層間絶縁膜の界面を樹脂でシールできる。

【0068】第2に、第1のシールリングの他に、層間絶縁膜の側壁、つまり界面を覆うスペーサが設けられるため、二重、三重…のシールが可能となる。

【0069】第2に於いて、ダイシングライン部は、前記半導体チップの上側壁を樹脂で覆われている第1のダイシング側壁と、前記半導体チップの下側壁が露出された

第2のダイシング側壁とを有することで、第1のシールリング、第2のシールリングおよび樹脂でダイシングライン部およびその近傍の湿気の通路を遮断できる。

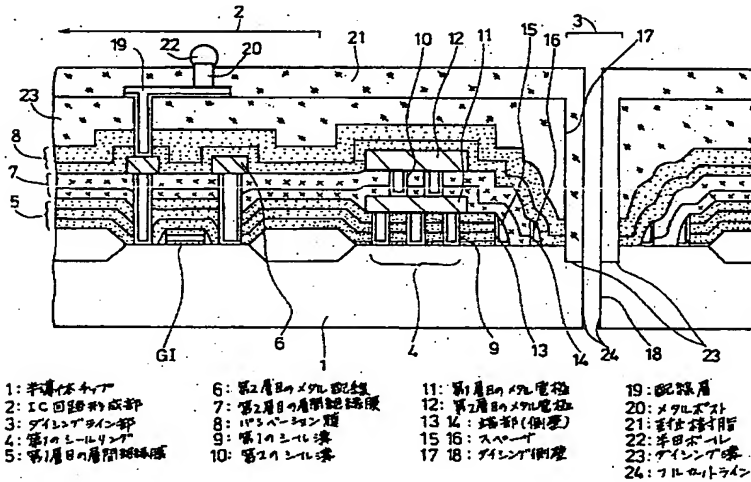
【0070】以上、チップサイズパッケージに於ける耐湿性が大幅に向上で、不良の問題が解決される。

*【図面の簡単な説明】

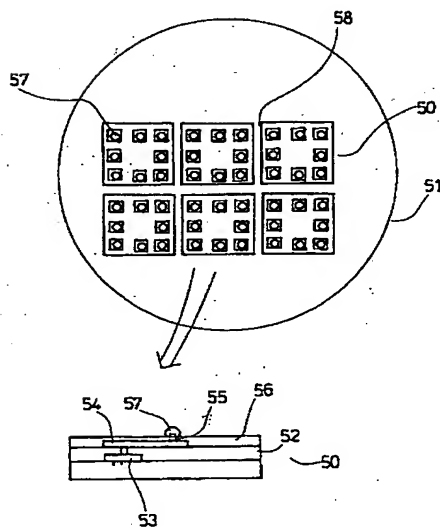
【図1】本発明のチップサイズパッケージを示す断面図である。

【図2】従来のチップサイズパッケージを示す断面図である。

【図1】



【図2】



フロントページの続き

(72)発明者 徳重 利洋智
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内
(72)発明者 北川 勝彦
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

Fターム(参考) 5F033 H108 H111 H118 H119 H133
JJ08 JJ18 JJ19 JJ33 KK01
KK08 KK18 KK19 KK33 MM01
MM05 MM13 NN06 NN07 NN37
PP15 PP27 QQ31 QQ37 RR09
RR15 RR21 SS04 SS15 SS21
TT01 TT08 WW03 XX18